



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09054575 A**(43) Date of publication of application: **25.02.97**

(51) Int. Cl.

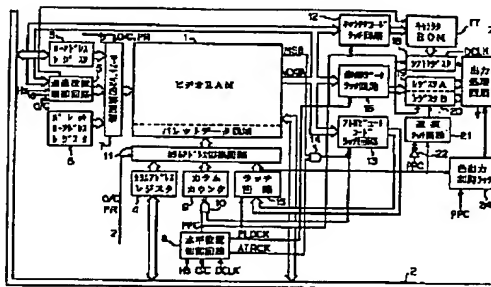
G09G 5/30
H04N 5/445(21) Application number: **07208854**(22) Date of filing: **16.08.95**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor: **SHINDO HIROYASU**
FURUKAWA RIICHI**(54) CHARACTER DISPLAY DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To avert the increase in the size of the peripheral circuits of a video RAM even when many kinds of character modification are executed by storing the modification data for applying modification to display characters in the specific addresses of the video RAM itself.

SOLUTION: The character codes corresponding to the display characters are stored in the addresses corresponding to the display parts of the television screen of the video RAM 1 and the attributes indicating the modification information of the colors, background colors, etc., of the display characters are stored in the addresses just before the addresses where the character codes corresponding to the top display characters required to be subjected to the modification change are stored. Particularly, the continuous displaying of part or the whole in the same modification state in the television screen is executed simply by storing the attributes. The modification data read out of the specific region of the video RAM 1 and the character information read out of a character ROM 17 are subjected to signal processing, by which the character

display subjected to the prescribed modification is executed.

COPYRIGHT: (C)1997,JPO



THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開平9-54575

(43)公開日 平成9年(1997)2月25日

(51) Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 5/30	6 5 0	9377-5H	G 0 9 G 5/30	6 5 0
H 0 4 N 5/445			H 0 4 N 5/445	Z

審査請求 未請求 請求項の数 3 OL (全 10 頁)

(21)出願番号 特願平7-208854

(22)出願日 平成7年(1995)8月16日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 新藤 博康

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 古川 利一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

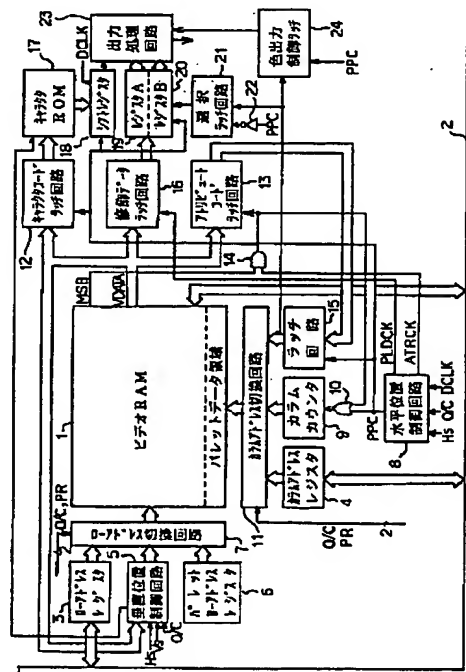
(74)代理人 弁理士 岡田 敬

(54) 【発明の名称】 文字表示装置

(57) 【要約】

【課題】 表示文字の修飾数を増やそうとすると、ビデオRAMの各アドレスのビット数が増えたり、ビデオRAMの周辺回路が増えたりする問題があった。

【解決手段】 所定の記憶番地にキャラクタROMをアクセスする為のキャラクタコード又は前記キャラクタROMから読み出されるキャラクタ情報に対して所定の修飾を施す為のアトリビュートコードが記憶されるビデオRAMを備え、前記ビデオRAMから読み出されたアトリビュートコード及び前記キャラクタROMから読み出されたキャラクタ情報に基づいて所定修飾を有する文字表示を行う文字表示装置に於いて、前記アトリビュートコードに対応する修飾データを前記ビデオRAMの特定の記憶領域に記憶させ、前記ビデオRAMの特定の記憶領域から読み出された修飾データと前記キャラクタROMから読み出されたキャラクタ情報とを信号処理することにより、所定修飾を施された文字表示を行う。



【特許請求の範囲】

【請求項1】 所定の記憶番地にキャラクタROMをアクセスする為のキャラクタコード又は前記キャラクタROMから読み出されるキャラクタ情報に対して所定の修飾を施す為のアトリビュートコードが記憶されるビデオRAMを備え、前記ビデオRAMから読み出されたアトリビュートコード及び前記キャラクタROMから読み出されたキャラクタ情報に基づいて所定修飾を有する文字表示を行う文字表示装置に於いて、

前記アトリビュートコードに対応する修飾データを前記ビデオRAMの特定の記憶領域に記憶させ、前記ビデオRAMの特定の記憶領域から読み出された修飾データと前記キャラクタROMから読み出されたキャラクタ情報とを信号処理することにより、所定修飾を施された文字表示を行うことを特徴とする文字表示装置。

【請求項2】 前記ビデオRAMの特定の記憶領域は、ローアドレスを成る1つのアドレスに固定した記憶領域であることを特徴とする請求項1記載の文字表示装置。

【請求項3】 前記アトリビュートコードは、前記修飾データが記憶された前記ビデオRAMの特定の記憶領域に対応するアドレス情報を含むことを特徴とする請求項1記載の文字表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、テレビ画面等にRGB処理された文字表示を行うのに好適な文字表示装置に関する。

【0002】

【従来の技術】一般的に、テレビ画面等に文字表示を行う場合、所定文字フォントのドットパターンが記憶されたキャラクタROMと、該キャラクタROMのアドレスをアクセスするビデオRAMとを設ける。該ビデオRAMのアドレスは、前記テレビ画面上に於ける文字表示位置に対応している。さて、前記テレビ画面上にRGB処理された文字表示を行う場合、具体的には、表示文字に対して文字自体の着色、背景色等を付す場合、前記ビデオRAMに、前記キャラクタROMのキャラクタコードの他に前記キャラクタROMから読み出されるキャラクタ情報に対する文字修飾の為のアトリビュートコードをも記憶させなければならない。その具体的な記憶例について以下に説明する。

(例1) ビデオRAMの各アドレスにキャラクタコードとアトリビュートコードとを一緒に記憶させる方法がある。この時、前記アトリビュートコードは、表示文字の文字色を直接指定する情報であると共に表示文字の背景色を直接指定する情報でもあるものとする。例えば、文字色を指定するアトリビュートコードをRGBに1対1に対応させて3ビットとし、且つ、背景色を指定するアトリビュートコードもRGBに1対1に対応させて3ビットとし、更にキャラクタコードを8ビットとすると、

ビデオRAMの各アドレスのビット長は14ビットとなる。即ち、3ビットの2種類の合計6ビットのアトリビュートコードと8ビットのキャラクタコードとが、ビデオRAMの各アドレスにシリアル14ビットの状態で記憶されている。この場合、文字色及び背景色は各々8種類ずつの指定が可能となる。

(例2) ビデオRAMの各アドレスにキャラクタコードとアトリビュートコードとを一緒に記憶する方法ではあるが、例1と異なる点は、アトリビュートコードが、文字色及び背景色を直接指定する情報ではなく、外部に設けた文字色又は背景色のRGB値が格納された外部データテーブルのアドレス値となっている点である。具体的には、アトリビュートコードを4ビットとし、その内訳は、上位1ビットが文字色及び背景色の識別ビット

(「0」ならば文字色、「1」ならば背景色)、残り3ビットが外部データテーブルを選択するアドレス指定ビットに割り振られる。更に、キャラクタコードを例1と同様に8ビットとすると、ビデオRAMの各アドレスのビット長は12ビットとなる。この場合、文字色で8種類且つ背景色で8種類の指定が可能となる。

(例3) 上記例1及び例2とは別に、ビデオRAMの各アドレスにアトリビュートコード及びキャラクタコードを一緒に記憶させないで、前記ビデオRAMの各アドレスにアトリビュートコード又はキャラクタコードの何れか一方を記憶させる方法がある。例えば、キャラクタコード及びアトリビュートコードを各々8ビットとすると、両コードの識別に更に1ビットを使用し(「0」の時にキャラクタコード、「1」の時にアトリビュートコードと識別)、これよりビデオRAMの各アドレスのビット長は9ビットとなる。アトリビュートコードが記憶される9ビットの内訳の一例は、最上位ビットがアトリビュートコードであることの識別ビット即ち「1」であり、残りの所定3ビットが各々文字色及び背景色の識別ビット、文字色を着色するかどうかのオンオフビット、更に背景色を着色するかどうかのオンオフビットに割り振られ、更に残りの所定3ビットが文字色又は背景色を直接指定するRGB情報を記憶するビットに割り振られている。この場合、文字色及び背景色が各々8種類ずつ指定可能となる。

【0003】

【発明が解決しようとする課題】上記した従来の技術に於ける問題点を以下に述べる。

(例1) ビデオRAMを1度アクセスすることにより、キャラクタコードの読み出しと同時に、該キャラクタコードに対応する表示文字を修飾する文字色及び背景色を得られる利点がある。しかしながら、文字色及び背景色の階調度(色の変化の度合)を上げる為には、RGB値を直接指定するアトリビュートコードに割り振られるビット数を増やす必要があり、その結果、ビデオRAMが大型化する問題がある。

(例2) アトリビュートコードには、外部データテーブルを指定するアドレス情報が記憶される。その為、文字色及び背景色の階調度を上げる場合、外部データテーブルの各アドレスに記憶されているRGB値のデータビット数を増やすだけでよく、前記アトリビュートコードのビット数に変更はなく、ビデオRAMの各アドレスのビット長はそのままである。しかしながら、文字色及び背景色の種類を増やす場合、外部データテーブルのアドレス数を増やす必要がある。この場合、アドレス情報の増加に伴い前記アトリビュートコードのビット数が増えてしまい、ビデオRAMの大型化を招く問題がある。特に、外部データテーブルを必要とすることは、周辺回路の大型化を招く問題も重ねて有している。

(例3) アトリビュートコード及びキャラクタコードを各々ビデオRAMの別々のアドレスに記憶させる為、各アドレスのビット長は例1及び2に比べて短くて済む。前記アトリビュートコードの内訳は上記した様に、文字色及び背景色を直接指定するRGB値の他に、これらの文字修飾の為に各種修飾情報を付加することができる。しかしながら、文字色及び背景色の階調度を上げるには、RGB値の為にビット長を増やさなければならない。この結果、ビデオRAMの各アドレスのビット長が増えてしまい、ビデオRAMの大型化を招く問題があった。反対に、ビデオRAMの各アドレスのビット長を固定してしまうと、前記アトリビュートコード自体に各種修飾情報の一部を付加できなくなり、正しい文字修飾を実現できなくなる問題がある。

【0004】本発明は、例3に示す問題の解決を図るのであり、多種類の文字修飾を行う場合でも、ビデオRAMの周辺回路の大型化及びビデオRAM自体の大型化を防止することのできる文字表示装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、所定の記憶番地にキャラクタROMをアクセスする為のキャラクタコード又は前記キャラクタROMから読み出されるキャラクタ情報に対して所定の修飾を施す為のアトリビュートコードが記憶されるビデオRAMを備え、前記ビデオRAMから読み出されたアトリビュートコード及び前記キャラクタROMから読み出されたキャラクタ情報に基づいて所定修飾を有する文字表示を行う文字表示装置に於いて、前記アトリビュートコードに対応する修飾データを前記ビデオRAMの特定の記憶領域に記憶させ、前記ビデオRAMの特定の記憶領域から読み出された修飾データと前記キャラクタROMから読み出されたキャラクタ情報とを信号処理することにより、所定修飾を施された文字表示を行う点である。

【0006】

【発明の実施の形態】本発明の詳細を図面に従って具体

的に説明する。図1は本発明の文字表示装置を示す回路ブロック図である。尚、図1は、マイクロコンピュータにより実現される。図1に於いて、(1)はビデオRAMであり、表示文字に対応するキャラクタコードがテレビ画面の表示部分に対応するアドレスに記憶され、表示文字の色及び背景色等の修飾情報を示すアトリビュートコードが、修飾変更を施す必要のある先頭の表示文字に対応するキャラクタコードが記憶されたアドレスの直前のアドレスに記憶されるものである。特に、テレビ画面の中で、表示文字の一部又は全部を同じ修飾状態にして連続表示する場合、ビデオRAM(1)は、修飾状態が変更される1文字目のキャラクタコードが記憶された直前のアドレスに、アトリビュートコードが記憶されるだけで済む様になっている。

【0007】また、本実施例では、ビデオRAM(1)の各アドレスは9ビットで構成されるものとし、その最上位ビットMSBが文字コード又はアトリビュートコードの判別の為に割り振られ、残りの8ビットが文字コード又はアトリビュートコードの内容として割り振られている。例えば、最上位ビットMSBが「0」の場合、これはキャラクタコードの判別を意味し、且つ、最上位ビットMSBが「1」の場合、これはアトリビュートコードの判別を意味する様に取り決めたすると、「000~0FF」H(Hはヘキサデシマル)の256種類のキャラクタコードがビデオRAM(1)の所定のアドレスに記憶可能となり、また、「100~1FF」Hの256種類のアトリビュートコードがビデオRAM(1)の残りの所定アドレスに記憶可能となる。そして、ビデオRAM(1)から記憶済コードを読み出すと同時にそれらの最上位ビットMSBを検出することにより、当該コードが如何なるコードであるのかが判別される。

【0008】また、ビデオRAM(1)内部に於いて、破線で区切られた下部の記憶領域は、表示文字に色又は背景色を付す為の修飾データが記憶された記憶領域(以下パレットデータ記憶領域と称する)であり、ビデオRAM(1)から読み出されたアトリビュートコードをアドレスデータとしてアクセスされる領域である。つまり、ビデオRAM(1)は、本発明の特徴である修飾データ自体を内部の特定アドレスに記憶する構成となっている。

【0009】ビデオRAM(1)の具体的マップ例を図3に示す。該ビデオRAM(1)は、縦方向が「00~10」Hの17種類のローアドレスデータ、及び、横方向が「00~2F」Hの48種類のカラムアドレスデータの何れか1つずつの交差位置が1つのアクセスされるアドレスとなる。具体的には、ローアドレスデータ「00~0F」H及びカラムアドレスデータ「00~08」で指定される右上がり斜線を引いたアドレスには、テレビ画面上での文字表示開始位置、テレビ画面に初めて表示を行う文字の為に修飾情報等を表す初期設定データが

書き込まれる。また、ローアドレスデータ「00~0F」H及びカラムアドレスデータ「09~2F」Hで指定されたアドレスには、テレビ画面への文字表示位置に対応してキャラクタコード及びアトリビュートコードが書き込まれる。更に、ローアドレスデータ「10」H及びカラムアドレスデータ「00~2F」Hで指定される左上がり斜線を引いたアドレス（パレットデータ領域）には、前記修飾データが書き込まれる。更に詳細すると、ローアドレスデータ「10」H及びカラムアドレスデータ「00~17」Hで指定されるアドレスには文字の色自体を表す修飾データが書き込まれ、ローアドレスデータ「10」H及びカラムアドレスデータ「18~2F」Hで指定されるアドレスには文字の背景色を表す修飾データが書き込まれるものとする。

【0010】前記アトリビュートコードのビット配列の一例について説明すると、前記アトリビュートコードは上記した如く9ビット構成であり、最上位ビットがアトリビュートコード及びキャラクタコードの識別ビット、上位8ビット目が文字色及び背景色の識別ビット、上位7ビット目が文字色を着色するかどうかのオンオフビット、上位6ビット目が背景色を着色するかどうかのオンオフビット、残りの5ビットが前記パレットデータ領域のカラムアドレス「00~17」Hを指定するビットに割り振られている。

【0011】ここで、前記パレットデータ領域の各アドレスは上記した如く9ビット構成であり、9ビット全てがRGB値の情報として使用できる。本実施例では、RGBに各々2ビットを割り当て、64種類の色指定が可能であるものとする（残り3ビット不使用）。さて、上記したマイクロコンピュータの1マシンサイクルは、プログラムの解釈結果に基づき、ビデオRAM（1）の書き込み読み出し動作を行うCPUタイミングと、CPU（図示せず）の動作とは無関係にビデオRAM（1）の読み出し動作を行うOSD（ON SCREEN DISPLAY）タイミングとから成る。具体的には、1マシンサイクルは、3期間のCPUタイミング（ローレベル）及び3期間のOSDタイミング（ハイレベル）を交互に繰り返す6ステートから成っている（図2のO/C参照）。ビデオRAM（1）は、CPUタイミング及びOSDタイミングで独立にアクセスされる為、構成が簡単なシングルポートで事足りることになる。

【0012】ビデオRAM（1）は、データバス（2）と接続されている。ビデオRAM（1）は、前記CPUからの指示に従い、キャラクタコード又はアトリビュートコードの書き込みモード、又は両コードの読み出しモードに切り換えられる。例えば、ビデオRAM（1）が書き込みモードになっている時、アドレスデータ、キャラクタコード、及びアトリビュートコードがデータバス（2）を介してビデオRAM（1）に取り込まれる。一方、ビデオRAM（1）に既に書き込まれている内容を

確認する目的で該ビデオRAM（1）が読み出しモードになっている場合、アドレスデータがデータバス（2）を介してビデオRAM（1）に取り込まれてアドレッシングされ、該ビデオRAM（1）の指定アドレスからキャラクタコード又はアトリビュートコードが読み出されてデータバス（2）へ重畳される。

【0013】（3）はローアドレスレジスタであり、各マシンサイクルの前記CPUタイミング中、ビデオRAM（1）のローアドレスは該ローアドレスレジスタ

（3）によりアドレッシングされる。該ローアドレスレジスタ（3）は、前記CPUからデータバス（2）を介してローアドレスデータがセットされる。同様に、

（4）はカラムアドレスレジスタであり、各マシンサイクルの前記CPUタイミング中、ビデオRAM（1）のカラムアドレスは該カラムアドレスレジスタ（4）によりアドレッシングされる。該カラムアドレスレジスタ

（4）は、前記CPUからデータバス（2）を介してカラムアドレスデータがセットされる。

【0014】（5）は表示文字の垂直方向の開始位置を検出する垂直位置制御回路であり、各マシンサイクルのOSDタイミング中、ビデオRAM（1）は垂直位置制御回路（5）によりアドレッシングされる。ところで、テレビ画面に最初に表示される文字の垂直方向開始位置を表す初期設定データは、ローアドレスデータ「00~0F」H及びカラムアドレスデータ「00」Hで指定されるアドレスに書き込まれている。垂直位置制御回路

（5）は、タイミング切換信号O/C、水平同期信号Hs、及び垂直同期信号Vsが印加されて動作するものであり、垂直位置制御回路（5）内部には、最初の表示文字の垂直方向の開始位置を検出する手段として、水平同期信号Hsの立ち上がりでリセットされ且つ該水平同期信号Hsの立ち下がり期間中（次の水平同期信号Hsが発生する迄の間）にカラムアドレスを「00」Hに固定した状態でローアドレスを「00」Hから「0F」Hまで変更させることのできる周波数を有するクロック信号が印加される第1カウンタ（図示せず）と、垂直同期信号Vsでリセットされ且つ水平同期信号Hsを計数する第2カウンタ（図示せず）と、前記第1カウンタでアクセスされた「00~0F」Hの何れか1つのローアドレスに書き込まれたバイナリデータと前記第2カウンタで計数された水平同期信号Hsのバイナリデータとの一致検出を行う一致検出回路（図示せず）が設けられている。従って、現在の水平走査中に現れる水平同期信号Hsの位置を表すデータが「00~0F」Hの何れか1つのローアドレスに書かれていると、その位置が最初の表示文字の垂直方向の表示開始位置と認識され、対応するローアドレスデータが出力されて表示が開始される。

【0015】更に、垂直位置制御回路（5）内部には、前記一致検出回路から出力される一致信号でイネーブル状態にされ、水平同期信号Hsの立ち上がりをバイナリ

で計数する第3カウンタ（図示せず）が設けられている。ここで、テレビ画面に表示される文字のフォントは縦mドット×横nドットであるものとする。垂直位置制御回路（5）に於ける前記第3カウンタは、前記一致検出回路から一致信号が出力されると、計数を開始し、水平同期信号Hsの立ち上がりをm回計数してリセットされる。以後、上記した垂直表示開始位置の検出動作以降を繰り返す。尚、後述するキャラクタROMは、縦mドット×横nドットの表示の為のドットパターンが予め記憶されている為、垂直位置制御回路（5）は、前記一致検出回路で一致が検出された以降、m個の水平同期信号Hsの立ち上がりをバイナリで計数した値を、前記キャラクタROMに印加し、該キャラクタROMのアドレス制御を行える様にしている。

【0016】（6）は、ビデオRAM（1）の前記パレットデータ領域のローアドレスを指定する為に「10」Hのローアドレスデータが予めセットされたパレットローアドレスレジスタである。（7）はローアドレス切換回路であり、ローアドレスレジスタ（3）、垂直位置制御回路（5）、及びパレットローアドレスレジスタ

（6）から出力されるローアドレスデータを切換出力するものである。具体的には、ローアドレス切換回路

（7）には、タイミング切換信号O/C及びパレットリード信号PRが印加されており、両信号O/C及びPRのハイレベル及びローレベルの組合せにより何れか1つのローアドレスデータを切換出力できる。尚、両信号O/C及びPRの発生タイミングは図2のタイムチャートに示す通りである。即ち、タイミング切換信号O/Cがローレベル且つパレットリード信号PRがローレベルの時は、ローアドレスレジスタ（3）にセットされているローアドレスデータがローアドレス切換回路（7）から切換出力されてビデオRAM（1）に印加され、また、タイミング切換信号O/Cがハイレベル且つパレットリード信号PRがローレベルの時は、垂直位置制御回路

（5）から水平走査に応じて発生するローアドレスデータがローアドレス切換回路（7）から切換出力されてビデオRAM（1）に印加され、更に、タイミング切換信号O/C及びパレットリード信号PRが共にハイレベルの時は、パレットローアドレスレジスタ（6）にセットされたローアドレスデータがローアドレス切換回路（7）を介してビデオRAM（1）に印加される。

【0017】（8）は表示文字の水平方向の開始位置を検出する水平位置制御回路であり、各マシンスイクルのOSDタイミング中、ビデオRAM（1）は該水平位置制御回路（8）の出力に基づきアドレスリングされる。該水平位置制御回路（8）内部には、水平同期信号Hsの立ち上がりでリセットされた後にドットクロックDCLKの立ち上がりをバイナリで計数するカウンタ機能、及び、ドットクロックDCLKが表示文字の水平方向の開始位置まで行われた時のドットクロックDCLK数が

予めバイナリでセットされるレジスタ機能を有している。尚、ドットクロックDCLKは、文字データの横方向の各ドット毎が1周期となる周波数を有するものである。そして、水平位置制御回路（8）に於けるカウンタ機能は、実際のドットクロックDCLKがレジスタ機能にセットされた値に達するまでは計数動作を禁止され、その後、計数を開始すると同時にパルスPPCを発生し、その後、ドットクロックDCLKをn回計数する毎にパルスPPCを繰り返し発生する。（9）はカラムカウンタであり、ORゲート（10）を介して水平位置制御回路（8）からのパルスPPCが印加される毎にインクリメントされるカラムアドレスデータを発生する。上記説明から明らかな様に、パルスPPCは、水平方向の文字表示が変更される時点で発生する。

【0018】（11）はカラムアドレス切換回路であり、ローアドレス切換回路（7）と同様に、タイミング切換信号O/C及びパレットリード信号PRが印加され、両信号O/C及びPRのレベルに応じて、カラムアドレスレジスタ（4）、カラムカウンタ（9）及び後述するラッチ回路の出力を切換出力してビデオRAM

（1）に印加させるものである。具体的には、タイミング切換信号O/C及びパレットリード信号PRが共にローレベルの時、カラムアドレスレジスタ（4）にセットされたカラムアドレスデータがカラムアドレス切換回路（11）を介してビデオRAM（1）に印加される。また、タイミング切換信号O/Cがハイレベル且つパレットリード信号PRがローレベルの時、カラムカウンタ

（9）で計数されたカラムアドレスデータがカラムアドレス切換回路（11）を介してビデオRAM（1）に印加される。更に、タイミング切換信号O/C及びパレットリード信号PRが共にハイレベルの時、前記ラッチ回路のラッチ出力がカラムアドレス切換回路（11）を介してビデオRAM（1）に印加される。この様にして、ビデオRAM（1）は、ローアドレスデータ及びカラムアドレスデータで指定されるアドレスをアクセスされて当該アドレスに書き込まれているデータ（キャラクタコード又はアトリビュートコード）を読み出せることになる。尚、垂直位置制御回路（5）では、垂直方向の文字表示開始位置を検出する為に、ローアドレス「00～0F」H及びカラムアドレス「00」Hで指定されるアドレスに書き込まれたデータの取り込みが必要となる。そこで、タイミング切換信号O/Cの立ち下がりを読み出されたビデオRAM（1）の全9ビットデータVDATAは垂直位置制御回路（5）に印加される構成となっている。

【0019】（12）は8ビット構成のキャラクタコードラッチ回路であり、ビデオRAM（1）の読み出し出力VDATAのうちキャラクタコードのみをパルスPPCの立ち上がり同期してラッチするものである。（13）はアトリビュートコードラッチ回路であり、ビデオ

RAM (1) の読み出し出力の最上位ビットMSBが論理「1」となり且つ水平位置制御回路 (8) からアトリビュートクロックATRCKが発生した時、ANDゲート (14) から出力される前記ATRCKと同一出力の立ち下がりに同期して、ビデオRAM (1) の読み出し出力VDATAのうちアトリビュートコードのみをラッチするものである。同時に、ANDゲート (14) の出力はORゲート (10) の他方の入力にも印加され、即ち、アトリビュートコードラッチ回路 (13) がアトリビュートコードをラッチする直前にカラムカウンタ

(9) の値は前記クロックATRCKの立ち上がりに同期して+1インクリメントされる。

【0020】 (15) は前述したラッチ回路であり、アトリビュートコードラッチ回路 (13) にラッチされたアトリビュートコードを、パレットデータ領域のカラムアドレスに解釈し、パルスPPCの立ち上がりに同期してラッチするものである。これにより、ラッチ回路 (15) は、文字色か背景色かを識別するデータ (アトリビュートコードの上位8ビット目) と、文字色のオンオフデータ (アトリビュートコードの上位7ビット目) と、背景色のオンオフデータ (アトリビュートコードの上位6ビット目) と、パレット領域のカラムアドレスデータとを保持する。

【0021】 (16) は修飾データラッチ回路であり、パレットローアドレスレジスタ (6) から出力された「10」Hの固定されたローアドレスデータと、ラッチ回路 (15) から出力された「00~2F」Hのカラムアドレスデータで指定されたビデオRAM (1) のパレットデータ領域の任意のアドレスから読み出された修飾データを、水平位置制御回路 (8) から出力される修飾データクロックPLDCKの立ち上がりに同期してラッチするものである。

【0022】 (17) は前述したキャラクタROMであり、縦mドット×横nドットの文字フォントを有する所定のドットパターンが各アドレスに記憶されている。

(18) はnビットのシフトレジスタであり、パルスPPCの立ち上がりに同期してキャラクタROM (17) から読み出されているnビットデータを保持し、ドットクロックDCLKに同期してnビットデータをシリアル出力するものである。

【0023】 (19) (20) は各々レジスタA及びBであり、レジスタA (19) は、修飾データラッチ回路 (16) でラッチしているデータが表示文字自体の色指定を行う修飾データの場合、該データをパルスPPCの立ち上がりに同期して保持するものであり、同様に、レジスタB (20) は、表示文字に背景色を付す修飾データの場合、該データをパルスPPCの立ち上がりに同期して保持するものである。(21) は、レジスタA (19) 及びレジスタB (20) の何れか一方へ修飾データラッチ回路 (16) のデータを選択入力させる為の選択

ラッチ回路であり、インバータ (22) を介して印加されるパルスPPCの立ち下がりに同期して、ラッチ回路 (15) にラッチされている文字色指定か背景色指定かのデータをラッチする。例えば、選択ラッチ回路 (21) は、「0」をラッチした時にレジスタA (19) への入力を許可し、また、「1」をラッチした時にレジスタB (20) への入力を許可する。(23) は出力処理回路であり、色出力制御ラッチ回路 (24) からの出力に基づいて、シフトレジスタ (18) から出力されるドットデータと、レジスタA (19) 又はレジスタB (20) から出力される修飾データとに対して信号処理を施し、テレビ画面上にRGBの信号処理を施された文字を表示する為の信号を出力するものである。

【0024】色出力制御ラッチ回路 (24) は、ラッチ回路 (15) にラッチされている文字色のオンオフデータと背景色のオンオフデータとを、パルスPPCの立ち上がりに同期してラッチするものである。このラッチ出力を出力処理回路 (23) に出力することにより、文字色及び背景色のオンオフを制御することができる。以下、図1の動作、特にビデオRAM (1) の記憶コードを表示の目的で読み出してテレビ画面上に1水平走査分だけ表示する場合につき (ローアドレスは固定)、図2のタイムチャートを基に説明する。尚、図2は、表示文字の初期の開始位置を認識できた後の動作を表している。また、タイミング切換信号O/CとパルスPPCとは同期させる必要はないが、説明の都合上、同期した状態で説明する。

【0025】時刻 t_0 に於いて、パルスPPCが立ち上がると、該パルスPPCの立ち上がりに同期してカラムカウンタ (9) がインクリメントされ、該カラムカウンタ (9) の値が $n-1$ から n になったとする。同時に、ビデオRAM (1) から読み出されているのがカラムアドレスデータ $n-1$ に対応するキャラクタコード $N-1$ であるとする、パルスPPCの立ち上がりに同期して該キャラクタコード $N-1$ がキャラクタコードラッチ回路 (12) にラッチされる。この時、タイミング切換信号O/Cはローレベルからハイレベルに立ち上がった状態であり、その後のハイレベル期間にカラムカウンタ (9) のカラムアドレスデータ n がカラムアドレス切換回路 (11) を介してビデオRAM (1) に印加され、該ビデオRAM (1) のカラムアドレス n (ローアドレスは任意のアドレスで固定されている) で指定されるアドレスがアクセスされる。すると、タイミング切換信号O/Cの立ち下がりに同期して、ビデオRAM (1) から読み出されるコードが $N-1$ から N に変更される。尚、カラムアドレス n に対応するビデオRAM (1) の読み出しコードは大文字の N で表すものとする。ここで、読み出しコード N がアトリビュートコードであると、最上位ビットMSBが「1」であることから、アトリビュートクロックATRCKの立ち上がりに同期し

11

て、カラムカウンタ (9) の値が n から $n+1$ へ変更され、また、アトリビュートクロック ATRCK の立ち下がりにより同期して、該アトリビュートコード N がアトリビュートコードラッチ回路 (13) にラッチされる。尚、アトリビュートクロック ATRCK が発生している期間はパレットリード信号 PR がハイレベルとなっている為、カラムカウンタ (9) の出力がカラムアドレス切換回路 (11) から出力される動作は禁止され、その代わりにラッチ回路 (15) に既にラッチされている前アトリビュートコードがビデオ RAM (1) に印加され、タイミング切換信号 O/C の立ち下がりにより同期して、ビデオ RAM (1) からは当該前アトリビュートコードに対応する修飾データが読み出される。その後、タイミング切換信号 O/C の立ち上がりと同時に修飾データクロック PL DCK が発生すると、該修飾データクロック PL DCK の立ち上がりにより同期して修飾データラッチ回路 (16) に前記修飾データがラッチされる。尚、カラムカウンタ (9) の値 $n+1$ で指定されるアドレスから読み出されるコードはキャラクタコードであるものとする。

【0026】その後 1 文字分の文字フォントの横方向のドット表示が終了し、時刻 t_1 に於いて、パルス PPC が再び立ち上がると、該パルス PPC の立ち上がりにより同期してカラムカウンタ (9) がインクリメントされ、該カラムカウンタ (9) の値は $n+1$ から $n+2$ になる。同時に、ビデオ RAM (1) から読み出されているのがカラムアドレスデータ $n+1$ に対応するキャラクタコード $N+1$ となり、パルス PPC の立ち上がりにより同期して該キャラクタコード $N+1$ がキャラクタコードラッチ回路 (12) にラッチされる。更にパルス PPC の立ち上がりにより同期して、アトリビュートコードラッチ回路 (13) に既にラッチされているアトリビュートコード N がラッチ回路 (15) にラッチされ、且つ、キャラクタコード $N-1$ でアクセスされるキャラクタ ROM (17) から読み出される出力 ($N-1$) がシフトレジスタ (18) にセットされ、また、パルス PPC の立ち下がりにより同期して、ラッチ回路 (15) に既にラッチされている文字色指定か背景色指定かを指定するデータに応じて、修飾データラッチ回路 (16) にラッチされている前修飾データがレジスタ A (19) 又はレジスタ B (20) の何れか一方にセットされる。この時、タイミング切換信号 O/C はローレベルからハイレベルに立ち上がった状態であり、その後のハイレベル期間にカラムカウンタ (9) のカラムアドレスデータ $n+2$ がカラムアドレス切換回路 (11) を介してビデオ RAM (1) に印加され、該ビデオ RAM (1) のカラムアドレス $n+2$ (ローアドレスは任意のアドレスで固定されている) で指定されるアドレスがアクセスされる。すると、タイミング切換信号 O/C の立ち下がりにより同期して、ビデオ RAM (1) から読み出されるコードが $N+1$ から $N+2$

12

に変更される。ここで、読み出しコード $N+2$ がキャラクタコードであると、該キャラクタコードの最上位ビット MSB が「0」であることから、アトリビュートクロック ATRCK が発生しても、カラムカウンタ (9) の値は変更されることなく $n+2$ のままであり、また、AND ゲート (14) からアトリビュートコードラッチ回路 (13) の為のクロックも発生しない為、キャラクタコード $N+2$ がアトリビュートコードラッチ回路 (13) にラッチされる動作も禁止される。尚、アトリビュートクロック ATRCK が発生している期間はパレットリード信号 PR がハイレベルとなっている為、カラムカウンタ (9) の出力がカラムアドレス切換回路 (11) から出力される動作は禁止され、その代わりにラッチ回路 (15) に既にラッチされているアトリビュートコード N がビデオ RAM (1) に印加され、タイミング切換信号 O/C の立ち下がりにより同期して、ビデオ RAM

(1) からは当該アトリビュートコード N に対応する修飾データ N が読み出される。その後、タイミング切換信号 O/C の立ち上がりと同時に修飾データクロック PL DCK が発生すると、該修飾データクロック PL DCK の立ち上がりにより同期して修飾データラッチ回路 (16) に前記修飾データ N がラッチされる。

【0027】その後更に 1 文字分の文字フォントの横方向のドット表示が終了し、時刻 t_2 に於いて、パルス PPC が再び立ち上がると、該パルス PPC の立ち上がりにより同期してカラムカウンタ (9) がインクリメントされ、該カラムカウンタ (9) の値は $n+2$ から $n+3$ になる。同時に、ビデオ RAM (1) から読み出されているのがカラムアドレスデータ $n+2$ に対応するキャラクタコード $N+2$ となり、パルス PPC の立ち上がりにより同期して該キャラクタコード $N+2$ がキャラクタコードラッチ回路 (12) にラッチされる。更にパルス PPC の立ち上がりにより同期して、アトリビュートコードラッチ回路 (13) に既にラッチされているアトリビュートコード N がラッチ回路 (15) に再びラッチされ、且つ、キャラクタコード $N+1$ でアクセスされるキャラクタ ROM (17) から読み出される出力 ($N+1$) がシフトレジスタ (18) にセットされ、また、パルス PPC の立ち下がりにより同期して、ラッチ回路 (15) に既にラッチされている文字色又は背景色を指定するデータに応じて、修飾データラッチ回路 (16) にラッチされている修飾データ N がレジスタ A (19) 又はレジスタ B (20) の何れか一方にセットされる。この時、タイミング切換信号 O/C はローレベルからハイレベルに立ち上がった状態であり、その後のハイレベル期間にカラムカウンタ (9) のカラムアドレスデータ $n+3$ がカラムアドレス切換回路 (11) を介してビデオ RAM (1) に印加され、該ビデオ RAM (1) のカラムアドレス $n+3$ (ローアドレスは任意のアドレスで固定されている) で指定されるアドレスがアクセスされる。すると、タイミ

ング切換信号O/Cの立ち下がりに同期して、ビデオRAM (1) から読み出されるコードがN+2からN+3に変更される。ここで、読み出しコードN+3がアトリビュートコードであると、該アトリビュートコードの最上位ビットMSBが「1」であることから、アトリビュートクロックATRCKの立ち上がりに同期してカラムカウンタ(9)の値がn+3からn+4に+1インクリメントされる。また、アトリビュートクロックATRCKの立ち下がりに同期してアトリビュートコードN+3がアトリビュートコードラッチ回路(13)にラッチされる。尚、アトリビュートクロックATRCKが発生している期間はパレットリード信号PRがハイレベルとなっている為、カラムカウンタ(9)の出力がカラムアドレス切換回路(11)から出力される動作は禁止され、その代わりにラッチ回路(15)に既にラッチされているアトリビュートコードNがビデオRAM(1)に再び印加され、タイミング切換信号O/Cの立ち下がりに同期して、ビデオRAM(1)からは当該アトリビュートコードNに対応する修飾データNが読み出される。その後、タイミング切換信号O/Cの立ち上がりと同時に修飾データクロックPLDCKが発生すると、該修飾データクロックPLDCKの立ち上がりに同期して修飾データラッチ回路(16)に前記修飾データNがラッチされる。以後、上記した動作を繰り返す。

【0028】そして、時刻t1からt2の間に於いて、シフトレジスタ(18)の値が(N-1)'、レジスタA(19)又はレジスタB(20)の値が前修飾データとなっている時、これらの値が出力処理回路(23)に印加され、所定のRGB信号が出力されることになる。同様に、時刻t2からt3の間に於いて、シフトレジスタ(18)の値が(N+1)'、レジスタA(19)又はレジスタB(20)の値が修飾データNとなっている時、これらの値が出力処理回路(23)に印加され、所定のRGB信号が出力されることになる。

【0029】以上より、本発明によれば、ビデオRAM(1)から読み出されるアトリビュートコードに対応する、表示文字に修飾を施す為の修飾データを、ビデオRAM(1)自体の特定アドレスに記憶させ、ビデオRAM(1)からアトリビュートコードが読み出された時のみ対応する修飾データを読み出せる構成とした。これにより、ビデオRAM(1)のアドレスの一部に修飾データを記憶させる為、周辺回路の増大を防止でき、更に1アドレスにつきアトリビュートコードのみを記憶できる為、多種類の色指定も可能となる。

【0030】尚、前述した実施例は、本発明の例示に過ぎず、必要に応じて種々の変更が可能であり、特許請求の範囲に記載された本発明は、それらの変更を全て包含するものである。

【0031】

【発明の効果】本発明によれば、ビデオRAMから読み出されるアトリビュートコードに対応する、表示文字に修飾を施す為の修飾データを、ビデオRAM自体の特定アドレスに記憶させ、ビデオRAMからアトリビュートコードが読み出された時のみ対応する修飾データを読み出せる構成とした。これにより、ビデオRAMのアドレスの一部に修飾データを記憶させる為、周辺回路の増大を防止でき、更に1アドレスにつきアトリビュートコードのみを記憶できる為、多種類の色指定も可能となる利点が得られる。

【図面の簡単な説明】

【図1】本発明の文字表示装置を示す回路ブロック図である。

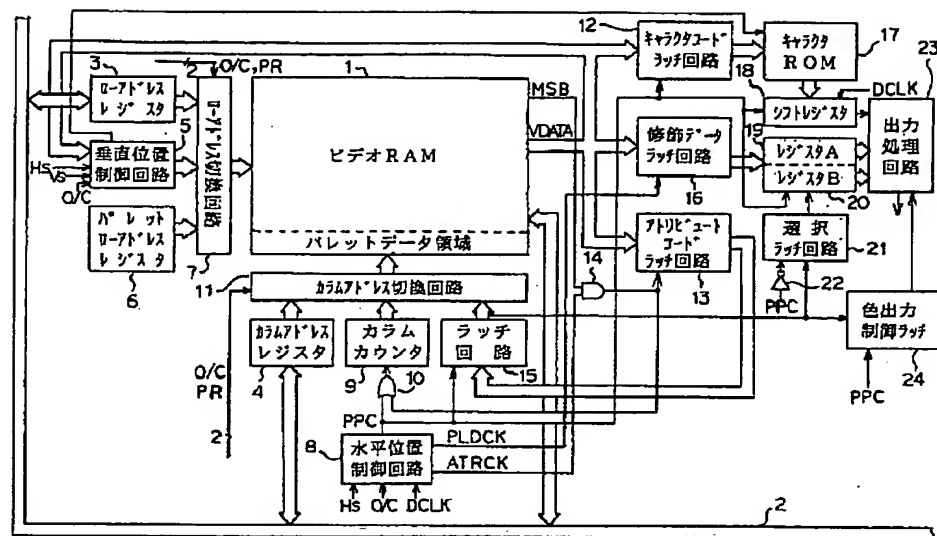
【図2】図1の動作を示すタイムチャートである。

【図3】ビデオRAMのエリアマップを示す図である。

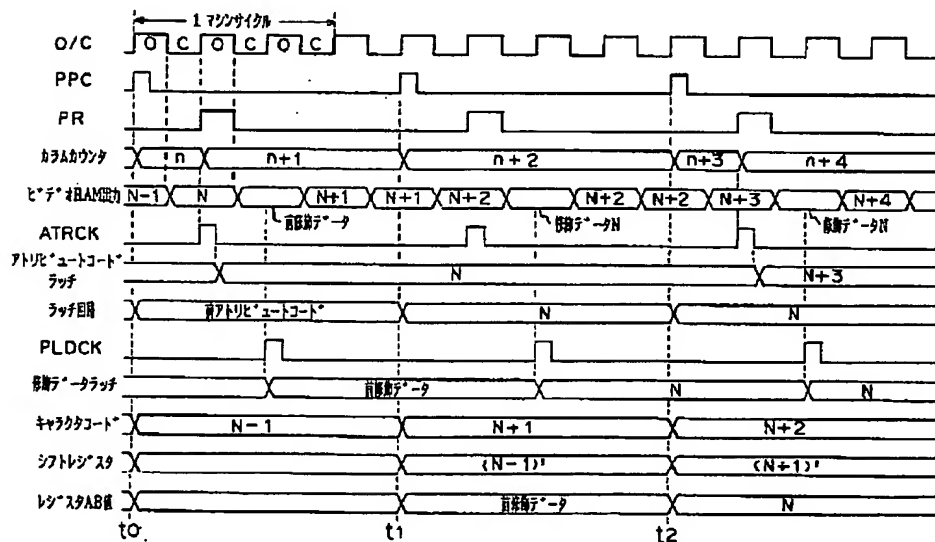
【符号の説明】

- (1) ビデオRAM
- (17) キャラクタROM
- (23) 出力処理回路

【図 1】



【図 2】



【図3】

